

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-165055

(43)Date of publication of application : 29.06.1993

(51)Int.Cl.

G02F 1/136
 G02F 1/133
 G02F 1/1343
 H01L 27/18
 H01L 29/784

(21)Application number : 03-330764

(71)Applicant : HOSIDEN CORP

(22)Date of filing : 13.12.1991

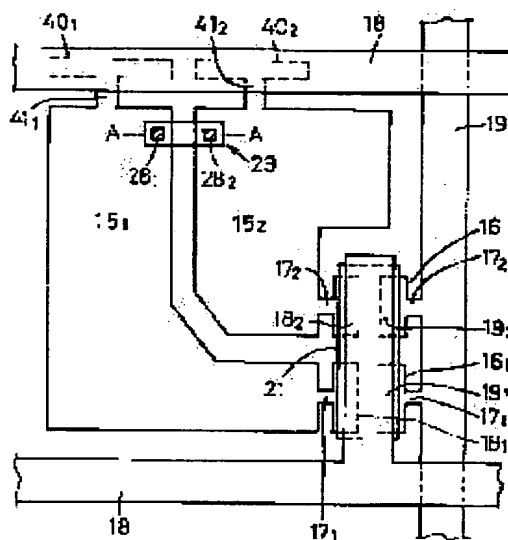
(72)Inventor : YUGAWA TEIZO

(54) PICTURE ELEMENT SPLIT TYPE LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To provide a picture element split type liquid crystal display element, in which connection with normal picture element electrode is made after the picture element electrode or electrodes corresponding to a defective picture element is cut off.

CONSTITUTION: In a picture element split type liquid crystal display element, an electrode 15 constituting picture elements is split into a plurality of picture element electrodes 151, 152 which are connected with source busses 19 parallelly through respective TFTs 16, whose drain electrodes 18 are connected with respective picture element electrodes 15 through respective bridging pieces 17 which are narrow and can easily be severed, wherein a source electrode is connected with the respective source busses 19 through bridging pieces 17 narrow and capable of being severed easily, and the picture element electrodes 151, 152 are connected with respective additional capacity electrodes 40 through bridging pieces 41 which are narrow and can easily be severed, and further the gate electrode is connected with a gate bus 18 and a metal for welding shortcircuiting is furnished in the neighborhood of the oppositely situated parts of adjoining picture element electrodes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-165055

(43)公開日 平成5年(1993)6月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
1/1343		9018-2K		
H 0 1 L 27/18	A	8728-4M	H 0 1 L 29/ 78	3 1 1 A
		9056-4M		

審査請求 未請求 請求項の数4(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-330764

(22)出願日 平成3年(1991)12月13日

(71)出願人 000194918

ホシデン株式会社

大阪府八尾市北久宝寺1丁目4番33号

(72)発明者 湯川 禎三

兵庫県神戸市西区高塚台4-3-1 ホシ

デン株式会社開発技術研究所内

(74)代理人 弁理士 草野 卓 (外1名)

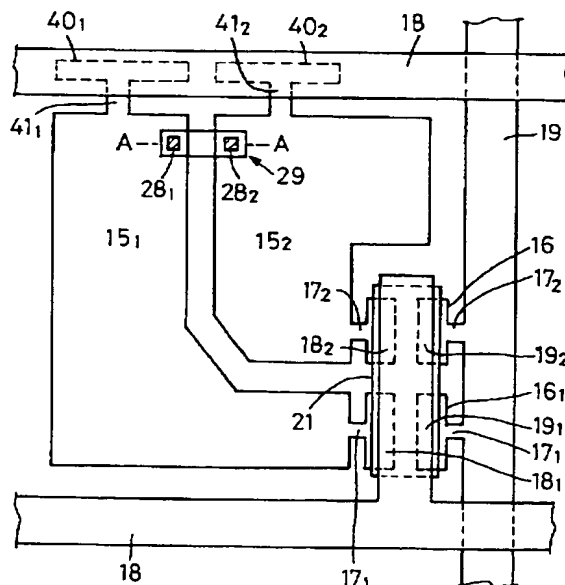
(54)【発明の名称】 画素分割液晶表示素子

(57)【要約】

【目的】 欠陥発生画素の画素電極を欠陥切り離し後正常画素電極に接続する画素分割液晶表示素子を提供する。

【構成】 画素分割液晶表示素子において、画素を構成する電極15は複数の画素電極に分割され、各画素電極15はそれぞれのTFT16を介して各別に並列にソースバス19に接続し、TFTそれぞれのドレイン電極18はそれぞれ切断容易な幅の狭い橋絡片17にりりそれぞれの画素電極15に接続すると共に、ソース電極19はそれぞれ切断容易な幅の狭い橋絡片17によりソースバス19に接続し、画素電極15はそれぞれ切断容易な幅の狭い橋絡片41により各付加容量電極40に接続しており、ゲート電極はゲートバス18に接続し、相隣接する画素電極15の互いに対向する部分の近傍に溶接短絡用金属を具備せしめた。

図 4



【特許請求の範囲】

【請求項1】 透明基板上面に画素電極、ソースバスが透明導電体により形成され、更に画素電極およびソースバスにまたがって薄膜トランジスタを構成する半導体層が形成され、これらを含む透明基板上面に絶縁膜を形成し、この絶縁膜の上面の半導体層に対応するところにゲート電極を形成すると共にこれらゲート電極に接続するゲートバスをソースバスに直交するように形成し、これらゲート電極およびゲートバスを含むゲート絶縁膜の上面に保護層を形成し、保護層と透明共通電極との間に液晶が封入された画素分割液晶表示素子において、画素を構成する電極は複数の画素電極に分割され、各画素電極はそれぞれの薄膜トランジスタを介して各別に並列にソースバスに接続しており、薄膜トランジスタそれぞれのドレイン電極はそれぞれ切断容易な幅の狭い橋絡片によりそれぞれの画素電極に接続すると共に、ソース電極はそれぞれ切断容易な幅の狭い橋絡片によりソースバスに接続しており、画素電極はそれぞれ切断容易な幅の狭い橋絡片により各付加容量電極に接続しており、ゲート電極はゲートバスに接続し、相隣接する画素電極の互いに対向する部分の近傍に溶接短絡用金属を具備せしめたことを特徴とする画素分割液晶表示素子。

【請求項2】 請求項1に記載される画素分割液晶表示素子において、溶接用金属を画素電極に具備し、短絡用金属を透明基板上面に具備せしめたことを特徴とする画素分割液晶表示素子。

【請求項3】 請求項1に記載される画素分割液晶表示素子において、溶接用金属を画素電極に具備し、短絡用金属を絶縁膜上面に具備せしめたことを特徴とする画素分割液晶表示素子。

【請求項4】 請求項1に記載される画素分割液晶表示素子において、溶接兼短絡用金属を透明基板上面および絶縁膜上面に具備せしめたことを特徴とする画素分割液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、画素分割液晶表示素子に関し、特に画素分割液晶表示素子の内の欠陥部分を切り離して当該画素電極を正常画素電極に接続する画素分割液晶表示素子に関する。

【0002】

【従来の技術】ここで、従来提案されている液晶表示素子を図1および図2を参照して簡単に説明するに、透明基板11および透明基板12がスペーサ13を介して互いに近接対向して具備され、透明画素電極15の画素マトリックスが透明基板11内面に形成される。透明画素電極15のそれぞれには薄膜トランジスタ(TFT)16が対応形成される。一方、透明基板12の内面には透明共通電極17が形成されている。透明画素電極15と透明共通電極17との間には液晶14が封入される。薄

膜トランジスタ(TFT)16のゲートはゲートバス18に接続し、ソースはソースバス19に接続している。ゲートバス18およびソースバス19は図示される通り互いに直交して多数本形成される。ゲートバス18に制御信号を供給して薄膜トランジスタ(TFT)16がオンしたときにこれに対応する透明画素電極15と透明共通電極17との間にソースバス19を介して電圧が印加されればこれら電極間の液晶の光学的状態が変化する様に構成されている。透明画素電極15には、必要により隣接する薄膜トランジスタ(TFT)16のゲートバス18に重なるようにその端部から付加電極40を延伸形成し、付加電極40とゲートバス18との間に付加容量部を形成する。透明画素電極15と透明共通電極17との間に形成される容量と並列のものである。

【0003】ここで、液晶表示装置の製造工程を図3を参照して簡単に説明しておく。透明基板11上面に画素電極15、ソースバス19がITOの如き透明導電体により形成され、更に画素電極15およびソースバス19にまたがってTFT16を構成する半導体層23が形成される。これらすべての上面に亘って窒化シリコンより成るゲート絶縁膜24を形成し、この絶縁膜24の上面の半導体層23に対応するところにゲート電極25を形成すると共にこれらゲート電極25に接続するゲートバス18をソースバス19に直交するように形成する。これらゲート電極25およびゲートバス18を含むゲート絶縁膜24の上面すべてに保護層26を形成する。そして、保護層26と透明共通電極17との間に液晶が封入される。

【0004】

【発明が解決しようとする課題】画素を複数の画素に分割し、これら複数の画素の内に欠陥画素が発生してもこれを切り離してしまつて格別の修復を施すことはしない手法もある。しかし、画素を例えば3或は4個の多数の画素に分割したとしても、仮にその内の1画素に欠陥が発生すれば、1/3画素或は1/4画素の不良が発生したことになるのであり、この程度の不良であっても肉眼には容易に不良と認識されるのである。

【0005】この発明は、画素分割液晶表示素子の内の欠陥部分を切り離して当該画素電極を正常画素電極に接続するようにして上述の通りの問題を解消した画素分割液晶表示素子を提供しようとするものである。

【0006】

【課題を解決するための手段】透明基板11上面に画素電極15、ソースバス19が透明導電体により形成され、更に画素電極15およびソースバス19にまたがって薄膜トランジスタ(TFT)16を構成する半導体層23が形成され、これらを含む透明基板11上面に絶縁膜24を形成し、この絶縁膜24の上面の半導体層23に対応するところにゲート電極25を形成すると共にこれらゲート電極25に接続するゲートバス18をソース

バス19に直交するように形成し、これらゲート電極25およびゲートバス18を含むゲート絶縁膜24の上面に保護層26を形成し、保護層26と透明共通電極17との間に液晶が封入された画素分割液晶表示素子において、画素を構成する電極は複数の画素電極15、および15、に分割され、各画素電極15、および15、はそれぞれの薄膜トランジスタ(TFT)16、および16、を介して各別に並列にソースバス19に接続しており、薄膜トランジスタ(TFT)それぞれのドレイン電極18、および18、はそれぞれ切断容易な幅の狭い橋絡片17、および17、によりそれぞれの画素電極15、および15、に接続すると共に、ソース電極19、および19、はそれぞれ切断容易な幅の狭い橋絡片17、および17、によりソースバス19に接続しており、画素電極15、および15、はそれぞれ切断容易な幅の狭い橋絡片41、および41、により各付加容量電極40、および40、に接続しており、ゲート電極はゲートバス18に接続し、相隣接する画素電極15、および画素電極15、の互いに対向する部分の近傍に溶接短絡用金属を具備せしめた。

【0007】そして、溶接短絡用金属としては、溶接用金属を画素電極15に具備し、短絡用金属29を透明基板上面に或は絶縁膜24上面に具備せしめた。また、溶接兼短絡用金属30を透明基板11上面および絶縁膜24上面に具備せしめた。

【0008】

【実施例】この発明の実施例を図4を参照して説明する。画素電極は画素電極15、および画素電極15、の2枚に分割、構成されており、各画素電極15、および画素電極15、は薄膜トランジスタ(TFT)16、および薄膜トランジスタ(TFT)16、を介して各別に並列にソースバス19に接続している。ここで、薄膜トランジスタ(TFT)16、のドレイン電極18、は切断容易な幅の狭い橋絡片17、により画素電極15、に接続すると共に、ソース電極19、は切断容易な幅の狭い橋絡片17、によりソースバス19に接続する一方、薄膜トランジスタ(TFT)16、のドレイン電極18、は切断容易な幅の狭い橋絡片17、により画素電極15、に接続すると共に、ソース電極19、は切断容易な幅の狭い橋絡片17、によりソースバス19に接続している。そして、画素電極15、とその付加容量電極40、とは切断容易な幅の狭い橋絡片41、により相互接続しており、画素電極15、とその付加容量電極40、とは切断容易な幅の狭い橋絡片41、により相互接続している。

【0009】この発明においては、上述した通り、画素電極15、薄膜トランジスタ(TFT)16、付加容量電極40をそれぞれ分割しており、そして薄膜トランジスタ(TFT)16および付加容量電極40をそれぞれソースバス19および画素電極15に切断容易な幅の狭

い橋絡片に接続したことにより、薄膜トランジスタ(TFT)16或は付加容量電極40に欠陥が生じた場合にこれらを画素電極15から切り離す。次いで欠陥が生じた薄膜トランジスタ(TFT)16或は付加容量電極40に対応するこれら欠陥部分が切り離された画素電極を正常画素電極に短絡接続するのであるが、以下において、欠陥部分の切り離しおよび画素電極と正常画素電極との間の短絡接続の手法について説明する。

【0010】図5は短絡接続部におけるA-A断面を示す図である。図5(a)の例においては、透明基板11上面に、先ずこの発明の短絡接続用金属層29を形成し、短絡接続用金属層29を含み透明基板11上面に絶縁層22を形成する。この絶縁層22上面には上述の如くして画素電極15その他を形成する。この発明は、この際画素を構成する相隣接する画素電極15、および画素電極15、の互いに対向する部分の双方に溶接用金属28、および28、を具備せしめておく。ところで、短絡接続用金属層29は溶接用金属28、および28、間にまたがる長さを有するものである。24は画素電極15、および画素電極15、を含み絶縁層22上面に形成された絶縁膜である。

【0011】図5(b)の例は短絡接続用金属層29を、図5(a)の場合とは異なって、透明基板11上面にではなくして絶縁層24上面に形成する例を示している。図5(c)は、図5(a)および図5(b)の場合とは異なり、格別の溶接用金属は使用せずに溶接兼短絡接続用金属層30、および溶接兼短絡接続用金属層30、を透明基板11上面および絶縁層24上面に形成した例である。

【0012】

【発明の効果】ここで、例えば付加容量電極40、近傍の付加容量部において欠陥が発生している場合、図5(a)の例については、透明基板11側から矢印の向きにレーザ光を放射してこれを付加容量電極40、の切断容易な幅の狭い橋絡片41、に集束せしめ、橋絡片41、を切断することにより欠陥容量部を画素電極15、から容易に切り離すことができる。次いで、溶接工程に入るのであるが、欠陥容量部を画素電極15、から切り離した後、レーザ光を矢印の向きに放射してこれを今度は溶接用金属28、近傍に集束せしめ、溶接用金属28、を溶融してこれにより画素電極15、と短絡接続用金属層29とを短絡接続することができる。これと同様の操作を溶接用金属28、近傍にも施す。これにより溶接用金属28、を溶融し、画素電極15、と短絡接続用金属層29とを上と同様に短絡接続することができる。結局、欠陥容量部が切り離された画素電極15、は正常な画素電極15、に短絡接続されるに到り、従って欠陥容量部が切り離された画素電極15、にも正常な画素電極15、から表示信号が印加されることとなるので、当該画素の画素電極全面積に格別の変化を生ぜしめずに済

む。

【0013】図5(b)の例については、短絡接続用金属層29が溶接用金属28、および溶接用金属28、の上方に配置されているが、この場合も図5(a)の例と同様に欠陥容量部を画素電極15、から切り離した後、上述の溶接工程を適用することにより欠陥発生画素電極と正常画素電極との間の短絡接続を実施することができる。

【0014】図5(c)の例については、これについても欠陥容量部を画素電極15、から切り離した後、溶接兼短絡接続用金属層30、および溶接兼短絡接続用金属層30、の両端部に上述の溶接工程を適用することにより欠陥発生画素電極と正常画素電極との間の短絡接続を実施することができる。次に、画素電極15、の薄膜トランジスタ(TFT)16、に欠陥が発生している場合についてであるが、この場合は薄膜トランジスタ(TFT)16、の橋絡片17、に着目し、透明基板11側から矢印の向きにレーザ光を放射してこれに集束せしめ、橋絡片17、を切断することにより欠陥TFTを画素電極15、から容易に切り離すことができる。次いで実施される溶接工程は付加容量部に欠陥が発生した場合と異なるところはない。結局、欠陥TFTが切り離された画素電極15、および付加容量電極40、は共に正常な画素電極15、に短絡接続されるに到り、従って欠陥TFTが切り離された画素電極15、および付加容量電極40、にも正常な画素電極15、から表示信号が印加されることとなるので、当該画素の画素電極全面積には何等*

*の変化も生じない。

【図面の簡単な説明】

【図1】液晶表示素子の従来例を示す図である。

【図2】液晶表示素子の画素マトリックスを示す図である。

【図3】図2のD-Dにおける断面を示す図である。

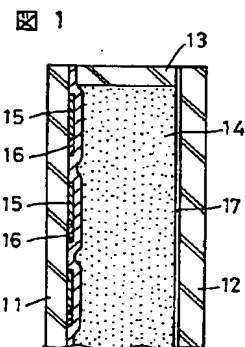
【図4】この発明の画素分割液晶表示素子の画素を示す図である。

【図5】図4の短絡接続部におけるA-A断面を示す図であり、(a)は短絡接続用金属層が溶接用金属の下方に配置されたものを示す図、(b)は短絡接続用金属層が溶接用金属の上方に配置されたものを示す図、(c)は溶接兼短絡接続用金属層が使用されたものを示す図である。

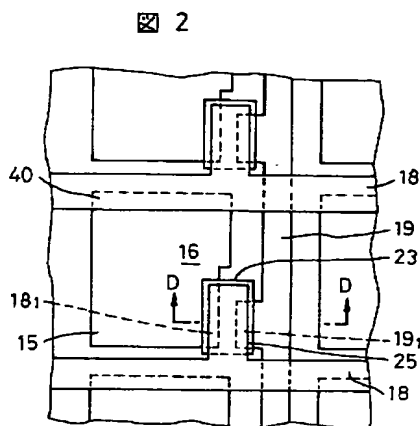
【符号の説明】

- | | |
|----|---------------|
| 11 | 透明基板 |
| 14 | 液晶 |
| 15 | 画素電極 |
| 16 | 薄膜トランジスタ(TFT) |
| 17 | 透明共通電極 |
| 18 | ゲートバス |
| 19 | ソースバス |
| 23 | 半導体層 |
| 24 | 絶縁膜 |
| 25 | ゲート電極 |
| 26 | 保護層 |

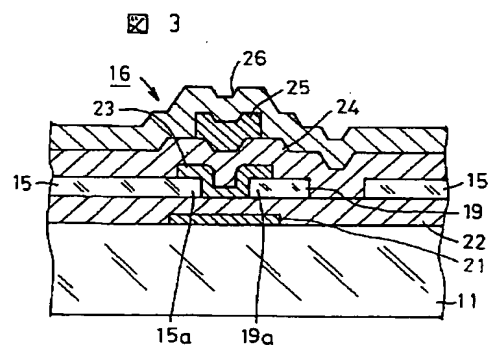
【図1】



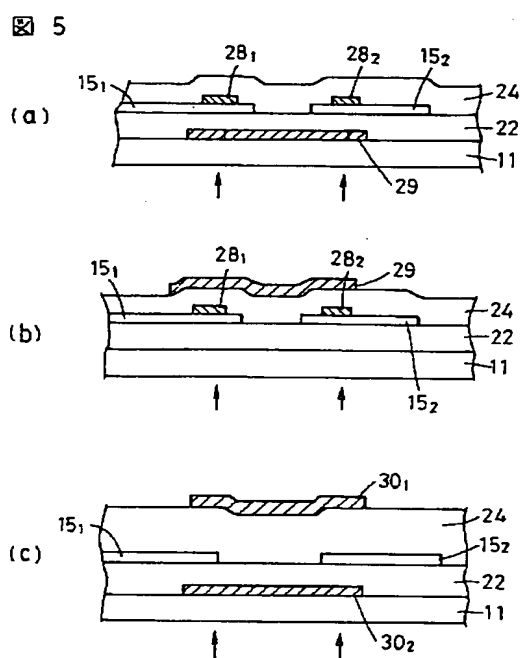
【図2】



【図3】



【圖5】



(51)Int.Cl.⁵
H O 1 L 29/784

FI

技術表示箇所